

## ESTRUCTURES DE COMPUTADORS I SISTEMES OPERATIUS

Examen final 20 Juny 2000

2 hores

*Es consideraran vàlides les respostes que siguin justificades.*

1. Es té un processador, anomenat *TrencaBytes*, amb les següents especificacions:

- Registres: Registre d'instrucció RI de 32 bits, Comptador de programa PC de 24 bits, acumulador A de 32 bits, un registre B de 32 bits, i un apuntador de pila SP de 24 bits

- Format d'instrucció: 

31	24	23	0
codi operació	referència operand		

- Instruccions (codi operació → efecte):

Codi	Efecte
1 →	Carrega a l'acumulador l'operand adreçat pels bits 23-0
2 →	Escriu contingut de l'acumulador a l'adreça donada pels bits 23-0
5 →	Carrega al registre B l'operand adreçat pels bits 23-0
6 →	Escriu contingut del registre B a l'adreça donada pels bits 23-0
8 →	Incrementa el registre A en 1 ( $A := A + 1$ ).
A →	Empila (push) el contingut adreçat per l'operand de la instrucció (0 → A, 1 → PC, 2 → SP). ( $A000 \equiv SP := SP - 1; Memoria[SP] := A$ )
B →	Desempila (pop) el contingut adreçat per el SP i el posa en el registre indicat per l'operand de la instrucció (0 → A, 1 → PC, 2 → SP). ( $B001 \equiv PC := Memoria[SP]; SP := SP + 1$ )
F0 →	Salta a l'adreça indicada pels bits 23-0. ( $PC := operand$ )
F4 →	Si es troba que el contingut del registre B és menor que el que hi ha a l'acumulador A, salta a l'adreça indicada pels bits 23-0. ( <b>si</b> $B < A \rightarrow PC := operand$ <b>fsi</b> ). En cas contrari, no fa res

L'estat inicial del processador, el registre PC està a 3D i SP a FFF.

- Indiqueu els paràmetres (capacitat màxima, longitud de paraula) de memòria principal adjents al processador *TrencaBytes*.
  - A partir de la posició de memòria 3D hi ha el següent programa en hexadecimal: 1000080, 500007F, F4000043, 8000000, 2000080, F000003F, 6000081 i en les adreces 7F, 80 i 81 contenen 3, 0 i 10 respectivament. Determineu l'estat de registres del *TrencaBytes* quan s'ha executat la instrucció que hi ha a la posició de memòria 43.
  - Quan s'està executant per primer cop la instrucció 2000080 de l'anterior programa, arriba una interrupció. El servei d'interrupció comença a l'adreça 50, a partir de la qual, es troba el següent contingut: A000001, A00000, 5000080, 8000000, 2000081, B000000, B000001. Com afecta la interrupció a l'execució del programa de l'apartat b.
  - El *TrencaBytes* es connecta a un bus d'adreces de 8 bits i un bus de dades de 16 bits. Afecta al rendiment del processador?. Si afecta, quantifica-ho.
2. Entre una memòria de 16K paraules i *TrencaBytes*, tenim una caché associativa de 2 línies de 64 paraules. Es demana que
- Dissenyeu el format de l'adreça per gestionar la caché.
  - Sense tenir en compte la interrupció de l'apartat 1.c, calculeu el percentatge de fallides que tindrà l'execució del tros de programa de l'apartat 1.b, sabent que la caché aplica la substitució LRU.
3. Expliqueu la diferència entre planificadors apropiatius i no apropiatius. Perquè els centres de càlcul prefereixen planificadors apropiatius?.
4. Es tenen els següents processos a executar en un processador:

<i>Treball</i>	1	2	3	4	5
<i>Temps Tongada</i>	10	1	2	1	5

L'ordre d'arribada és 1,2,3,4,5.

- a Il·lustreu l'execució dels processos en els casos en que el planificador usat és Primer en Entrar Primer en ser Servit (FCFS), torn rotatori (Round Robin, quantum=3) i Primer el Treball Més Curt (SJF).
- b Calculeu els temps de retorn i d'espera per cada procés per cada algorisme de planificació esmentat abans.
- c Quin algorisme de planificació dona el temps mig de retorn millor?
- d Quin algorisme de planificació dona el temps mig d'espera millor?

5. Es tenen el següents programes A i B:

A:	B:
<pre> <b>var</b> T: taula[1..512, 1..512] <b>de</b> enter i, j: enter;  <b>per</b> j := 1 <b>fins</b> 512 <b>fer</b>   <b>per</b> i := 1 <b>fins</b> 512 <b>fer</b>     T[i, j] := 0   <b>fper</b> <b>fper</b> </pre>	<pre> <b>var</b> T: taula[1..512, 1..512] <b>de</b> enter i, j: enter;  <b>per</b> i := 1 <b>fins</b> 512 <b>fer</b>   <b>per</b> j := 1 <b>fins</b> 512 <b>fer</b>     T[i, j] := 0   <b>fper</b> <b>fper</b> </pre>

Els programes s'executaran en un sistema de memòria paginada de marcs de 512 paraules. La mida d'un enter és d'una paraula. El codi de cada programa ocupa una pàgina. El sistema operatiu assigna 3 pàgines per cada programa i aplica l'algorisme de substitució de pàgines LRU. La taula es guarda a memòria seguint l'ordre  $T[1, 1], T[1, 2], \dots, T[1, N], T[2, 1], T[2, 2], \dots$ . El compilador ha decidit a més que les variables  $i$  i  $j$  siguin registres del processador i per tant no accedeixen a memòria.

- a Determineu el nombre de fallides de pàgina pel programa A i pel programa B.
- b Si s'augmentés el nombre de pàgines per programa, s'obtidria alguna millora en algun cas?.